

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
Takehiko MAKITA et al.

Appl. No. 10/717,547

Confirmation No. Not Assigned Yet

Filed: November 21, 2003

For: SURFACE TREATMENT  
METHOD FOR A COMPOUND  
SEMI-CONDUCTOR LAYER  
AND METHOD OF  
FABRICATION OF A  
SEMICONDUCTOR DEVICE

Art Unit: Not Assigned Yet

Examiner: Not Assigned Yet

Atty. Docket No. 31869-198826

Customer No.

26694

PATENT TRADEMARK OFFICE

**Submission of Certified Copy of Priority Document**

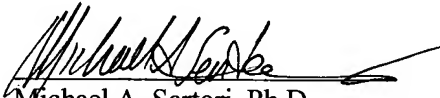
Commissioner for Patents  
P.O. Box 1450  
Alexandria, Va. 22313-1450

Sir:

Submitted herewith are certified copies of Application No. 2003-378076 filed on November 7, 2003 in Japan and Application No. 2002-339699 filed on November 22, 2002, the priority of which is claimed in the present application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

Date: January 8, 2004

  
Michael A. Sartori, Ph.D.  
Registration No. 41,289  
VENABLE LLP  
P.O. Box 34385  
Washington, D.C. 20043-9998

Telephone: (202) 344-4800

Telefax: (202) 344-8300

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月    7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 7 8 0 7 6  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 7 8 0 7 6 ]

出      願      人                      沖電気工業株式会社  
Applicant(s):

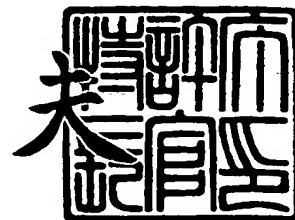


10/717,547  
Takahiko MAKITA et al.  
31869-198826

2 0 0 3 年 1 2 月 1 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 0 4 0 7 5

【書類名】 特許願  
【整理番号】 OH003894  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/302  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内  
    【氏名】 横田 毅彦  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内  
    【氏名】 海部 勝晶  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【代理人】  
    【識別番号】 100085419  
    【弁理士】  
    【氏名又は名称】 大垣 孝  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2002-339699  
    【出願日】 平成14年11月22日  
【手数料の表示】  
    【予納台帳番号】 012715  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9001068

**【書類名】 特許請求の範囲****【請求項 1】**

窒素を含有した化合物半導体層の表面に生じた窒素空孔によるダメージを、窒素プラズマを用いたエッチング処理により回復することを特徴とする化合物半導体層の表面処理方法。

**【請求項 2】**

窒素を含有した第 1 化合物半導体層と、前記第 1 化合物半導体層の上に形成された、前記第 1 化合物半導体層と組成の異なる第 2 化合物半導体層とにより構成された、積層型の化合物半導体層に対し、前記第 2 化合物半導体層の一部をドライエッチングにより除去して前記第 1 化合物半導体層の表面を露出させる工程で、該第 1 化合物半導体層の表面上に生じた窒素空孔によるダメージを、窒素プラズマを用いたエッチング処理により回復することを特徴とする化合物半導体層の表面処理方法。

**【請求項 3】**

請求項 2 に記載の化合物半導体層の表面処理方法において、前記第 1 化合物半導体層を  $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) とし、及び前記第 2 化合物半導体層を  $GaN$  とすることを特徴とする化合物半導体層の表面処理方法。

**【請求項 4】**

請求項 1 乃至 3 に記載の化合物半導体層の表面処理方法において、前記窒素プラズマによるエッチング処理を ICP-RIE 装置を用いて行うことを特徴とする化合物半導体層の表面処理方法。

**【請求項 5】**

請求項 4 に記載の化合物半導体層の表面処理方法において、前記窒素プラズマによるエッチング処理後、該エッチング処理済みの前記化合物半導体層の表面を純水により流水洗浄することを特徴とする化合物半導体層の表面処理方法。

**【請求項 6】**

下地上に、窒素を含有した第 1 化合物半導体層と、前記第 1 化合物半導体層の上に形成された、前記第 1 化合物半導体層と組成の異なる第 2 化合物半導体層とにより構成された積層型の化合物半導体層を形成する工程と、

前記第 2 化合物半導体層上に、互いに所定距離離間した第 1 主電極及び第 2 主電極を形成する工程と、

前記第 1 主電極と前記第 2 主電極との間の、前記第 2 化合物半導体層の領域部分をドライエッチングにより除去して前記第 1 化合物半導体層の表面領域を露出させる工程と、

露出された表面領域を有する前記第 1 化合物半導体層に対する熱処理を行う工程と、

前記第 1 化合物半導体層の露出された表面領域内のゲート電極形成予定領域に対して窒素プラズマを用いたエッチング処理を行う工程と、

前記ゲート電極形成予定領域にゲート電極を形成する工程とを順次行うことを特徴とする半導体装置の製造方法。

**【請求項 7】**

請求項 6 に記載の半導体装置の製造方法において、前記第 1 化合物半導体層を  $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) とし、及び前記第 2 化合物半導体層を  $GaN$  とすることを特徴とする半導体装置の製造方法。

**【請求項 8】**

請求項 6 または 7 に記載の半導体装置の製造方法において、

前記窒素プラズマによるエッチング処理を ICP-RIE 装置を用いて行うことを特徴とする半導体装置の製造方法。

**【請求項 9】**

請求項 8 に記載の半導体装置の製造方法において、

前記窒素プラズマによるエッチング処理後、該エッチング処理済みの化合物半導体層の表面を純水により流水洗浄することを特徴とする半導体装置の製造方法。

**【請求項 10】**

窒素を含有した化合物半導体層の表面に生じた窒素空孔によるダメージを、窒素プラズマに曝露することにより回復することを特徴とする化合物半導体層の表面処理方法。

【請求項 1 1】

窒素を含有した第 1 化合物半導体層と、前記第 1 化合物半導体層の上に形成された、前記第 1 化合物半導体層と組成の異なる第 2 化合物半導体層とにより構成された、積層型の化合物半導体層に対し、前記第 2 化合物半導体層の一部をドライエッチングにより除去して前記第 1 化合物半導体層の表面を露出させる工程で、該第 1 化合物半導体層の表面上に生じた窒素空孔によるダメージを、窒素プラズマに曝露することにより回復することを特徴とする化合物半導体層の表面処理方法。

【請求項 1 2】

請求項 1 1 に記載の化合物半導体層の表面処理方法において、前記第 1 化合物半導体層を  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x < 1$ ) とし、及び前記第 2 化合物半導体層を  $\text{GaN}$  とすることを特徴とする化合物半導体層の表面処理方法。

【請求項 1 3】

下地上に、窒素を含有した第 1 化合物半導体層と、前記第 1 化合物半導体層の上に形成された、前記第 1 化合物半導体層と組成の異なる第 2 化合物半導体層とにより構成された積層型の化合物半導体層を形成する工程と、

前記第 2 化合物半導体層上に、互いに所定距離離間した第 1 主電極及び第 2 主電極を形成する工程と、

前記第 1 主電極と前記第 2 主電極との間の、前記第 2 化合物半導体層の領域部分をドライエッチングにより除去して前記第 1 化合物半導体層の表面領域を露出させる工程と、

露出された表面領域を有する前記第 1 化合物半導体層に対する熱処理を行う工程と、

前記第 1 化合物半導体層の露出された表面領域内のゲート電極形成予定領域を、窒素プラズマに曝露する工程と、

前記ゲート電極形成予定領域にゲート電極を形成する工程とを順次行うことを特徴とする半導体装置の製造方法。

【請求項 1 4】

請求項 1 3 に記載の半導体装置の製造方法において、前記第 1 化合物半導体層を  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x < 1$ ) とし、及び前記第 2 化合物半導体層を  $\text{GaN}$  とすることを特徴とする半導体装置の製造方法。

## 【書類名】明細書

【発明の名称】化合物半導体層の表面処理方法及び半導体装置の製造方法

## 【技術分野】

【0001】

この発明は、窒素を含有した化合物半導体層を用いた半導体装置の製造方法、特に窒素空孔の生じたGaN系化合物半導体層の表面処理方法に関する。

## 【背景技術】

【0002】

異種化合物半導体層によるヘテロ接合界面で量子化された2次元電子ガス(2DEG)を利用した高電子移動度トランジスタ(High Electron Mobility Transistor:HEMT以下、HEMTと称する。)が提案されている。この高電子移動度トランジスタは、高速・高周波動作特性及び低雑音特性等に優れているため、現在、マイクロ波機器等の高出力デバイスに利用されている。特に、このHEMTとして、GaNチャネル層とn型 $Al_xGa_{1-x}N$ ( $0 < x < 1$ )電子供給層とのヘテロ接合を具える窒化ガリウム(GaN)系HEMT(より詳しくは、GaN/AlGaN系HEMT)が知られている。このGaN系HEMTは、種々の優れた電気的特性を発揮することから現在研究が盛んに行われている。

【0003】

また、従来の窒素プラズマによるGaN系化合物半導体層の表面処理について、以下のような技術が知られている(例えば、非特許文献1参照。)

【0004】

この非特許文献1の記載によれば、 $Al/SiN_x/n-GaN$ (但し、 $x$ は組成比を表す。)というMIS(金属/絶縁体/半導体)構造を作製する前に、n型GaN表面に対して水素プラズマあるいは窒素プラズマ処理を行って、MIS構造の接合の電気的特性の比較を行っている。

【0005】

この水素あるいは窒素プラズマ処理前のn型GaN層の表面には、窒素空孔等のダメージは存在していない。このn型GaN層表面に対して水素プラズマ処理をした場合は、GaN表面近傍において、窒素が $NH_x$ (但し、 $x$ は組成比を表す。)という形で脱離するため、窒素空孔によるドナー準位が生じることが示されている。

【0006】

一方、このn型GaN層表面に対して窒素プラズマ処理をした場合は、そのような窒素空孔は形成されず、GaN層表面が影響を受けないことが示されている。つまり、ダメージのないGaN系化合物半導体層の表面に窒素プラズマ処理を施しても、窒素空孔は発生せず、ダメージをうけないことが示されている。

【非特許文献1】T.Hashizume and R.Nakasaki, Applied Physics Letters, Vol.80, No. 24, pp.4564-4566(2002). "Discrete surface related to nitrogen-vacancy defecy on plasma-treated GaN surfaces"

## 【発明の開示】

【発明が解決しようとする課題】

【0007】

n型GaN/n型AlGaN積層構造のn型AlGaN層の表面上にゲート電極を形成する化合物半導体装置として、リセス構造を有するHEMT(以降、リセス型HEMTともいう)が知られている。このようなリセス型HEMTは、従来、例えば図8を参照して以下に説明するような工程で形成される。

【0008】

基板(例えば、サファイア基板12)上に、GaNバッファ層16、GaNチャネル層20、第1化合物半導体層であるn型AlGaN電子供給層22、第2化合物半導体層であるn型GaN層24を順次積層し、2DEG23をGaNチャネル層20の表面に発生させた積層体40を用意する。尚、基板12、GaNバッファ層16及びGaNチャネル

層 20 は、下地 21 を形成している。また、第 1 及び第 2 化合物半導体層 22 及び 24 は、積層型の化合物半導体層 25 を形成している。次いで、後にコンタクト層となる n 型 GaN 層 24 上にソース電極 26 及びドレイン電極 28 を離間した位置に形成する (図 8 (A))。

#### 【0009】

n 型 GaN 層 24 の一部を例えば ICP-RIE (Inductively coupled plasma-reactive ion etching) のドライエッチング (エッチングガス種は、例えば Cl 系混合ガス、BCl<sub>3</sub> を用いる) により除去し、ゲート電極 38 を形成するために n 型 AlGaIn 電子供給層 22 の表面を露出すると同時に、コンタクト層 32 を形成する (図 8 (B))。アニール処理後、露出した n 型 AlGaIn 電子供給層 22 の表面に、ゲート電極を例えば Ni で形成してリセス型 HEMT 50 が得られる (図 8 (C))。

#### 【0010】

このリセス型 HEMT 50 の電流-電圧特性 (I-V 特性) を図 9 に示す。横軸は電圧 (V) 及び縦軸は電流密度 ( $A/cm^2$ ) を表している。I-V 特性は、電圧が高くなるにつれて電流密度が大きくなる比例直線になっており、これによりゲート電極がオーミック特性を示していることがわかる。HEMT のゲート電極は、本来ショットキ特性を示すことで、制御電極としての機能を果たしている。よって、ゲート電極が、オーミック特性を示すと、ゲートリーク電流が生じ、そのためリセス型 HEMT が正常に動作しなくなってしまう。

#### 【0011】

このようなオーミック特性を示す原因は、ゲート電極が形成される n 型 AlGaIn 表面にドライエッチング (例えば ICP-RIE) によるダメージが生じたことにより、ショットキバリアが形成されなくなってしまうためと考えられる。

#### 【0012】

よって、このようなドライエッチングによる化合物半導体層表面のダメージの除去、あるいはダメージの軽減を図るための表面処理方法が求められていた。

#### 【課題を解決するための手段】

#### 【0013】

この出願に係る発明者は、ドライエッチングによって生じた化合物半導体層のダメージの除去方法について鋭意研究を行ったところ、n 型 AlGaIn 層の表面を窒素プラズマにより表面処理すれば良いという結論に達した。

#### 【0014】

そこで、この発明の化合物半導体層の表面処理方法によれば、窒素を含有した化合物半導体層の表面に生じた窒素空孔によるダメージを、当該表面に対して窒素プラズマを用いた表面処理を行うことにより、当該表面の回復を図ることを特徴とする。

#### 【0015】

この窒素プラズマを用いた表面処理とは、窒素プラズマを用いたエッチング処理、又は窒素空孔ダメージが生じた化合物半導体層の露出表面を窒素プラズマに接触させる、すなわち窒素プラズマに曝露する処理を行うことにより、当該空孔ダメージを回復させる工程を含んでいる。

#### 【0016】

また、この発明の化合物半導体層の表面処理方法によれば、窒素を含有した第 1 化合物半導体層と、第 1 化合物半導体層の上に形成された、第 1 化合物半導体層と組成の異なる第 2 化合物半導体層とにより構成された、積層型の化合物半導体層に対し、第 2 化合物半導体層の一部をドライエッチングにより除去して第 1 化合物半導体層の表面を露出させる工程で第 1 化合物半導体層の表面上に生じた窒素空孔によるダメージを、窒素プラズマを用いたエッチング処理するか、又は窒素プラズマに曝露することにより回復することを特徴とする。

#### 【0017】

この発明の半導体装置の製造方法によれば、下地上に、窒素を含有した第 1 化合物半導

体層と、第1化合物半導体層の上に形成された、第1化合物半導体層と組成の異なる第2化合物半導体層とにより構成された積層型の化合物半導体層を形成する工程と、第2化合物半導体層上に、互いに所定距離離間した第1主電極及び第2主電極を形成する工程と、第1主電極と前記第2主電極との間の、第2化合物半導体層の領域部分をドライエッチングにより除去して前記第1化合物半導体層の表面領域を露出させる工程と、露出された表面領域を有する第1化合物半導体層に対する熱処理を行う工程と、第1化合物半導体層の露出された表面領域内のゲート電極形成予定領域に対して、窒素プラズマを用いたエッチング処理を行うか、又は第1化合物半導体層の露出された表面領域内のゲート電極形成予定領域を窒素プラズマに曝露する工程と、ゲート電極形成予定領域にゲート電極を形成する工程とを順次行うことを特徴とする。

【発明の効果】

【0018】

この発明の化合物半導体層の表面処理方法によれば、窒素を含んだ化合物半導体層の表面に存在する窒素空孔によるダメージを除去あるいは軽減した表面にすることができる。

【0019】

また、化合物半導体層の表面において、窒素空孔によるダメージが除去あるいは軽減されたことにより、良好な電気特性を有する化合物半導体層の表面構造が得られる。

【0020】

この発明の半導体装置の製造方法によれば、ドライエッチングにより生じた第1化合物半導体層の表面に存在する窒素空孔によるダメージを除去あるいは軽減した当該表面を得ることができる。

【0021】

また、第1化合物半導体層の表面に存在する窒素空孔によるダメージを除去あるいは軽減したことにより、良好な電気特性を有する第1化合物半導体層の表面構造が得られる。

【発明を実施するための最良の形態】

【0022】

以下、図1～図7を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明に係る半導体装置の製造方法の一構成例を断面の切り口で示す工程図である。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明を図示例に限定するものではない。また、図を分かり易くするために、断面を示すハッチング（斜線）は一部分を除き省略してある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0023】

＜第1の実施の形態＞

図1～図6を参照して、この発明の第1の実施の形態に係る半導体装置の製造方法につき説明する。この実施の形態では、一例として、Ga N系HEMTの製造方法につき説明する。尚、以下に説明する各層の成膜は一般的な有機金属気相成長法（MOCVD法）を用いて行うこととする。また、供給するIII族原料としてはアルキル基を構成要素とする有機金属化合物であるトリメチルガリウム（Ga（CH<sub>3</sub>）<sub>3</sub>）、トリメチルアルミニウム（Al（CH<sub>3</sub>）<sub>3</sub>）を用い、及びV族元素としてはアンモニア（NH<sub>3</sub>）を用いる。また、各層を結晶成長させる際の具体的な方法については従来公知であるため、特に説明の必要がある場合を除き、その詳細な説明は省略する。

【0024】

先ず、図1及び図2を参照して説明する。ここでは基板としてC軸配向サファイア（Al<sub>2</sub>O<sub>3</sub>）基板を用いる。サファイア基板12上に、MOCVD法により、例えば、400℃から600℃の範囲内の温度（以降、この温度をT<sub>a</sub>℃とする。）で非晶質（アモルファス）状態のGa N層14（低温バッファ層）を、例えば、10nmから50nmの範囲内の膜厚で表面を平坦に形成する（図1（A））。



## 【0025】

その後、サファイア基板12を、例えば950℃から1150℃の範囲内の温度（以降、これを成長温度 $T_1$ ℃とする）まで昇温し、非晶質状態のGaN層14を結晶状態のGaNバッファ層16に改質させる。

## 【0026】

より具体的には、この昇温過程において、非晶質状態のGaN層14は基板面側から多数の成長核を有する柱状組織に変質していく。この柱状組織への変質の間、反応ガスによる非晶質GaN層14のエッチングも同時に進行するが、柱状組織の変質速度の増大によって基板表面上にGaNバッファ層16を一様に形成することができる。尚、成長温度 $T_1$ ℃までの昇温時間は、低温バッファ層であるGaN層14が柱状組織であるGaNバッファ層16に変質するのに充分であり、且つ、成長温度 $T_1$ ℃までの昇温過程の間にGaN層14が反応ガスによってエッチングされずに残留する時間内となるように設定する必要がある。

## 【0027】

そこで、例えば、 $T_a = 500$ ℃において非晶質GaN層14を20nmの膜厚で堆積させた後、例えば、 $T_1 = 1040$ ℃までの昇温過程において当該非晶質GaN層14をGaNバッファ層16に改質させる場合には、昇温時間の最適値は7分程度である。尚、昇温時間の最適値はこれに限られるものではなく、低温バッファ層の種類（GaNやAlN）、膜厚、堆積時のガス種、ガス流量、及びMOCVD装置の仕様などに依存する。また、成長温度 $T_1$ ℃としては、好ましくは950℃から1150℃の範囲内の温度であり、より好ましくは1000℃から1100℃の範囲内の温度とするのが良い。そうすることにより、良質な結晶性を有するGaNバッファ層16を形成することができる。

## 【0028】

続いて、 $T_1$ ℃に到達後、GaNバッファ層16上に、有機金属気相成長法により、均一かつ高密度になるようにGaN成長核18を形成する（図1（B））。

## 【0029】

続いて、成長温度 $T_1$ ℃下において、GaN成長核18をシードとして、お互いの結晶配向性が僅かにずれた多数のGaN結晶粒界を再成長させる。その結果、隣接する結晶粒同士が合体や転位を繰り返すことにより、結晶配向性の揃った比較的欠陥の少ない良好な単結晶である（アンドープ）GaNチャネル層20を、例えば、2000nmから5000nmの範囲内の膜厚で形成することができる（図1（C））。尚、欠陥の少ない良好な結晶性を有するGaNチャネル層20を得るためにも、当該GaNチャネル層20の膜厚を100nm以上とするのが好適である。尚、これら基板12、バッファ層16及びチャネル層20が下地21を構成する。

## 【0030】

続いて、成長温度 $T_1$ ℃下において、GaNチャネル層20上に $Al_{0.2}Ga_{0.8}N$ 電子供給層22を形成するが、ここでは、 $n$ 型不純物であるケイ素（Si）を $5 \times 10^{18} \text{ cm}^{-3}$ 添加しながら結晶成長させて、膜厚が10nmから20nmの範囲内である $n$ 型 $Al_{0.2}Ga_{0.8}N$ 電子供給層22を形成する。この $n$ 型 $Al_{0.2}Ga_{0.8}N$ 電子供給層22が、第1化合物半導体層に相当する。このとき、GaNチャネル層20と $n$ 型 $Al_{0.2}Ga_{0.8}N$ 電子供給層22との界面には、バンドギャップの差から2DEG（2次元電子ガス）23が形成される（図1（D））。また、 $Al_{0.2}Ga_{0.8}N$ 層22の結晶成長条件は、GaN層20を結晶成長させる際に既に設定された最適化条件とすれば良いので、新たな最適化を行う必要はない。

## 【0031】

次に、第1化合物半導体層22とは組成が異なる第2化合物半導体層を形成する。例えば、 $n$ 型不純物であるケイ素を $5 \times 10^{18} \text{ cm}^{-3}$ 添加しながら結晶成長させて $n$ 型GaN層24を10nmから20nmの範囲内の膜厚で $n$ 型 $Al_{0.2}Ga_{0.8}N$ 電子供給層22上に形成して、積層体40を得る（図2（A））。この $n$ 型GaN層24が、第2化合物半導体層に相当する。尚、 $n$ 型GaN層24が成膜される間、当該 $n$ 型GaN層24表層部

では、 $n$ 型 GaN 層 24 の構成原子の蒸着及び蒸発が繰り返されている。尚、第 1 及び第 2 化合物半導体層 22 及び 24 は、積層型の化合物半導体層 25 を形成している。

#### 【0032】

この積層体 40 を、例えば 20℃ から 100℃ の範囲内の温度（以降、この温度を  $T_2$ ℃ とする）まで冷却する。この  $T_2$ ℃ の温度範囲は、必ずしも 20℃ から 100℃ の範囲内の温度に限定されず、積層体 40 表層の  $n$  型 GaN 層 24 の劣化が発生しない温度として、 $n$  型 GaN 層 24 の表層部分から当該  $n$  型 GaN 層 24 層の構成原子の蒸着後の蒸発（ここでは、再蒸発）が停止する温度、例えば、低温バッファ層の成長温度未満の温度とすることができる。

#### 【0033】

次に、第 1 及び第 2 主電極形成工程として、第 2 化合物半導体層である  $n$  型 GaN 層 24 上に互いに所定距離離間した、例えば、ストライプ状の第 1 主電極（ソース電極）及び第 2 主電極（ドレイン電極）を各々形成する。すなわち、この構成例では、これら電極を、第 1 化合物半導体層 22 の上側に、後にコンタクト層 32 となる  $n$  型 GaN 層 24 の領域部分を介して、形成する（図 2（B））。

#### 【0034】

具体的には、 $n$  型 GaN 層 24 のうち互いに所定距離離間する 2 つの領域部分に所定幅だけ、例えば、ストライプ状に露出させるようなレジストパターン（図示せず）をフォトリソグラフィによって形成する（以下、単にレジストパターンを形成すると称する。）。その後、このレジストパターンをマスクとして、当該マスクの上方から、ソース電極及びドレイン電極用金属として、例えば、チタン（Ti）、アルミニウム（Al）及び金（Au）を順次蒸着して積層金属層を形成する（図示せず。）。より詳しくは、一例として、チタンの膜厚を 15 nm、アルミニウムの膜厚を 200 nm 及び金の膜厚を 600 nm となるようにそれぞれ蒸着させる。その後、リフトオフ法によってレジストパターンを除去し、 $n$  型 GaN 層 24 上に積層金属層からなる所定幅のストライプ状のソース電極 26 及びドレイン電極 28 を形成する。

#### 【0035】

次に、ソース電極 26 とドレイン電極 28 との間の、第 2 化合物半導体層 24 の領域部分を下側の第 1 化合物半導体層 22 が露出するようにエッチングする。すなわち、ここでは、ソース電極 26 が形成された部分とドレイン電極 28 が形成された部分とが所定距離離間されて残存するように第 2 化合物半導体層 24 の一部をドライエッチングによって除去して第 1 化合物半導体層 22 の表面を一部露出させる。

#### 【0036】

具体的には、 $n$  型 GaN 層 24 のうち、ソース電極 26 及びドレイン電極 28 に挟まれる領域を所定幅だけ、例えば、ストライプ状に露出させるようなレジストパターンでフォトリソグラフィによって形成し、このレジストパターンをマスクとしてドライエッチングを行って  $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 の露出面を形成する。

#### 【0037】

例えば、比較的試料に与えるダメージの小さい塩素（Cl<sub>2</sub>）系や塩化ホウ素（BCl<sub>3</sub>）等をエッチングガスとする誘導結合プラズマ反応性イオンエッチング（ICP-RIE）を利用して、室温環境下で  $n$  型 GaN 層 24 を除去する。

#### 【0038】

ここでは、エッチングガス種として、BCl<sub>3</sub> を用いた ICP-RIE を行って  $n$  型 GaN 層 24 の部分領域を除去して、 $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 表面を露出させるとともに、残存する  $n$  型 GaN 層 24 の領域部分でコンタクト層 32 を形成する（図 2（C））。

#### 【0039】

この  $n$  型 GaN 層 24 に対するエッチングは、電子サイクロトロン反応性イオンエッチング（ECR）等のドライエッチングを用いても可能である。

#### 【0040】

その後、レジストパターンを除去し、例えば、窒素雰囲気中400℃以上の温度で、20～80分間、露出された表面領域を有するn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22に対するアニール処理する。これにより、露出したn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面に吸着した不要なエッチングガス種の除去を行う(図3(A))。

#### 【0041】

ここで、n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面に吸着されるエッチングガス種の様子をX線光電子分光法(XPS: x-ray photoelectron spectroscopy)によって測定した。XPSでは、ICP-RIE中に表面に吸着したと思われるエッチングガス種を検出できる。例えば、Cl系ガス(Cl<sub>2</sub>+H<sub>2</sub>+CH<sub>4</sub>)ならばCl、また、BCl<sub>3</sub>ガスならば、B及びClのピークがXPSによって確認される。

#### 【0042】

図4にn型GaN層24をICP-RIE(エッチングガス種はBCl<sub>3</sub>)によりエッチングし、n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面を一部露出してアニール処理する工程でのXPSの測定結果を示す。

#### 【0043】

図4はXPSスペクトルの測定図であり、横軸に結合エネルギー(eV)及び縦軸にXPS強度(任意の単位)をとって示してある。

#### 【0044】

図4中の(A)で示す測定グラフは、ICP-RIE処理する前のn型GaN層24表面のスペクトルである。全体にノイズレベルの変化しか示しておらず、特徴のあるピークは存在していない。(B)で示すグラフは、ICP-RIEをn型GaN層24の約二分の1の膜厚まで行った時点のn型GaN層24表面のスペクトルである。(A)のスペクトルでは存在しなかった、Clの2p軌道に由来する結合エネルギー199eV付近のピークが、はっきり現れている。よって、ICP-RIEによるエッチング中に、n型GaN層24の表面にエッチングガス種が吸着されていることがわかる。(C)は、ICP-RIEによりn型GaN層24が除去され、完全にn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面が露出した時点でのn型AlGaN層表面のスペクトルである。ここでも、(B)のスペクトルと同様に199eV付近のCl由来のピークがはっきり現れている。よって、露出したn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面には、エッチングガス種が吸着されていることがわかる。(D)は、ICP-RIEによりn型AlGaN層表面を露出させた後にアニール処理を行ったあとのn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面のスペクトルである。(B)及び(C)のスペクトルに存在した199eV付近のClのピークが消失し、(A)と同様のノイズレベルのスペクトルに変化している。このXPSスペクトルの測定結果から、アニール処理によって、n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面に吸着していたエッチングガス種が除去されたことがわかる。

#### 【0045】

次に、ICP-IRE(エッチングガス種は、BCl<sub>3</sub>)を用いたドライエッチングによって露出したn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面構造を原子間力顕微鏡(Atomic Force Microscope: AFM 以下、AFMと称する。)によって観察した。

#### 【0046】

図5は、露出したn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22のうち、縦1μm及び横1μm四方の領域に対して走査(走査速度:約1.0Hz)を行った場合のAFM画像である。図中の(a)で示す白色領域を基準面(AFM探針との接触面)として、(c)で示す黒色領域は基準面から約5nmの深さを有する凹状領域である。また、(b)で示す灰色領域は、黒色領域(c)よりも浅い深さ(<5nm)の凹状領域である。

#### 【0047】

図5(A)は、ICP-IRE(エッチングガス種は、BCl<sub>3</sub>)を用いたドライエッチング直後のAFM画像である。この画像によると、深さが5nm以下のピット及び高さが0.4nm～0.5nmのステップが見られるが、例えば10nm以上の深さの大きなピット及びステップ高さは存在せずに、平坦な表面状態を呈していることがわかる。

## 【0048】

図5 (B) は、アニール開始から5分後のAFM画像であり、図5 (A) に示したアニール前の画像に比べて全体が不明瞭なぼやけた画像になっている。ICP-RIEを用いたドライエッチングによるダメージにより、表面付近には原子間の結合が弱められ不安定な状態になった部分が存在する（以降、この部分をダメージ層ともいう）。このダメージ層が脱離しかかっていることにより、図5 (B) のような不明瞭な画像になると考えられる。

## 【0049】

図5 (C) は、アニール開始から20分後のAFM画像であり、図5 (B) で存在していたダメージ層は全て脱離したため、図5 (A) と同様の明瞭な画像に変化している。ピット及びステップの状況は、図5 (A) とほぼ同様で、深さ5 nm以下のピット及び高さが0.4 nm~0.5 nmのステップが存在しているが、全体に平坦な表面状態を呈している。このAFM画像の状態から、アニール処理後の露出したn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面構造は、平坦な表面状態であることがわかる。

## 【0050】

これらXPS及びAFMの測定結果から、n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面に吸着していたエッチングガス種及びダメージ層は、アニール処理によって取り除かれていることがわかる。

## 【0051】

従来は、このアニール処理後のn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面上にゲート電極を例えばニッケル (Ni) を蒸着させることにより形成し、リセス型HEMT50を形成していた。しかしながら、このようにして形成したゲート電極のI-V特性は、ショットキ特性ではなく、図9に示したようなオーミック特性を示す。

## 【0052】

そこで、この発明では、このアニール処理後に窒素プラズマにより、n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面を処理する。

## 【0053】

具体的には、露出したn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22表面上に、少なくとも一部を所定幅だけ、例えば、ストライプ状に露出させるようなレジストパターンをフォトリソ34で形成する。このときの所定幅は、後にゲート電極を形成する領域よりも幅が広ければ良い (図3 (B))。

## 【0054】

このレジストパターンをマスクとして、窒素プラズマを用いた表面処理を行う。この窒素プラズマを用いた表面処理として、ここではICP-RIE装置による窒素プラズマを用いてドライエッチングを行う場合について説明する。この窒素プラズマを用いたエッチングの条件は、例えば、窒素流量: 10 sccm、窒素プラズマ処理中の圧力: 2~5 mTorr、基板温度40℃、ICP出力: 50W、RF電力: 30W、DCバイアス: 約80V、処理時間: 30秒で行う。この処理条件は、最表面のn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22が、1ユニットセルだけエッチングされる程度のエッチング時間で十分である。一般に、GaN層及びAlGaN層の場合、結晶の単位格子が六角柱の形をしている。この第1の実施の形態では、c軸配向のサファイア基板を用いて、積層体40を形成しているので、n型GaN層24及びn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22はc軸配向を想定している。よって、1ユニットセル (単位格子1個分) とは、この場合、単位格子である六角柱の上面の六角形から底面の六角形までの高さ方向 (すなわち、基板表面に対して垂直の方向) の長さをさしている。たとえば、GaN層の場合、c軸方向 (六角柱の上面の六角形から底面の六角形までの高さ方向) の格子定数は0.52 nmなので、多くても0.6~0.7 nm程度のエッチングを行えば十分ということになる。但し、この例では、ICP-RIE法により実施しているため、エッチングの深さによりエッチング時間を定義した。しかしながら、窒素プラズマを用いたエッチングによらず、窒素空孔ダメージが生じた化合物半導体層の表面を窒素プラズマに曝露するのみでも、ダメージを回復させる

効果は十分に得られる。従って、窒素プラズマを用いたエッチング処理に代えて、窒素空孔ダメージが生じた化合物半導体層の表面を窒素プラズマに曝露するのみの処理を採用してもよい。化合物半導体層の表面を窒素プラズマに曝露する方法としては、誘導結合プラズマ (inductively coupled plasma: ICP) 法、容量結合プラズマ (capacitively coupled plasma: CCP) 法、電子サイクロトロン共鳴プラズマ (electron cyclotron resonance: ECR プラズマ) 法、ヘリコン波プラズマ (helicon wave plasma) 法又は表面波プラズマ (surface wave plasma: SWP) 法のいずれかにより発生させた窒素プラズマを適用することができる。窒素プラズマの照射時間は、窒素空孔を窒素プラズマに曝露することによって、窒素空孔ダメージが回復するのに十分な程度の時間とするのが好適である。

#### 【0055】

次に、窒素プラズマを用いてエッチング処理を行った領域であるゲート電極形成予定領域 36 上に、従来と同様の方法でゲート電極 38 を形成する。

#### 【0056】

具体的には、 $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 のゲート電極形成予定領域上に、少なくとも一部を所定幅だけ、例えば、ストライプ状に露出させるようなレジストパターンを (図示せず) を形成する。

#### 【0057】

その後、このレジストパターンをマスクとして、当該マスクの上方から、制御電極 (ゲート電極) 用金属として、例えば、ニッケル (Ni) を膜厚 50 nm、さらに金 (Au) を膜厚 700 nm となるように蒸着する。次いで、リフトオフ法によってレジストパターンを除去し、然る後  $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 上にニッケルからなる所定幅のストライプ状のゲート電極 38 を形成して、リセス型 HEMT 10 を完成させる (図 3 (C))。

#### 【0058】

図 6 に、この第 1 の実施の形態で形成したリセス型 HEMT 10 のゲート電極の  $I-V$  特性を示す。図 6 (A) では、横軸は電圧 (V) 及び縦軸は電流密度 ( $A/cm^2$ ) を表している。電圧が負の値では、電流密度は 0 付近の非常に小さい値をとり、また、電圧が正の値 (特に 1 V 以上) になると、急激に電流密度の値が上昇していることから、良好なショットキ特性を示していることがわかる。図 6 (B) は、電流密度の値が小さい領域の変化を示すために、図 6 (A) の測定結果の縦軸に対数目盛を用い、電流密度を絶対値で示したものである。対数をとるために、ここでの電流密度は絶対値を用いている。電圧の値が  $-5$  V から 0 V に変化すると、電流密度の絶対値は、0 に近づいていく。そして、電圧の値が正の値になると、急激に電流密度の絶対値は大きくなっていく。このことから、良好なショットキ特性を示していることがわかる。

#### 【0059】

窒素プラズマを用いたエッチング処理を  $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 に行うことにより、良好なショットキ特性を有するリセス型 HEMT 10 が得られるのは、以下の理由からと考えられる。

#### 【0060】

ICP-RIE によるエッチング中に、 $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 表面には、AFM 画像では感知できないレベルの窒素空孔が生じていると考えられる。この窒素空孔はアニール処理では回復しないため、この窒素空孔の欠陥がドナー準位としての役割を果たし、リセス型 HEMT のゲート電極の  $I-V$  特性をオーミック特性にしていると考えられる。

#### 【0061】

この発明では、窒素プラズマを用いたエッチング処理を、 $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 に行うことにより、窒素空孔の存在する表面を 1 ユニットセル程度エッチングし、また、窒素空孔に対して窒素の供給を行うことから、窒素空孔の欠陥を取り除き、良好な電気特性を示す  $n$  型  $Al_{0.2}Ga_{0.8}N$  電子供給層 22 表面を得ている。

## 【0062】

上述した説明から明らかなように、この実施の形態では、ドライエッチングにより生じた第1化合物半導体層22の表面に存在する窒素空孔によるダメージを除去あるいは軽減した当該表面を得ることができる。

## 【0063】

また、第1化合物半導体層22の表面に存在する窒素空孔によるダメージを除去あるいは軽減したことにより、良好な電気特性を有する第1化合物半導体層22の表面構造が得られる。

## 【0064】

これにより、ゲート電極に良好なショットキ特性を有するリセス型HEMT10を形成することができる。

## 【0065】

上述の説明では、窒素プラズマを用いた表面処理として、窒素プラズマによるエッチング処理を含む工程により製造されたりセス型HEMTの諸特性につき説明したが、窒素プラズマによるエッチング処理に代えて、窒素プラズマに曝露する処理を含む工程により製造されるリセス型HEMTにおいても同様の諸特性が得られる。

## 【0066】

## &lt;第2の実施の形態&gt;

第1の実施の形態では、ICP-RIE装置を用いて、窒素プラズマ処理することにより、n型AlGaIn層の表面の窒素空孔を除去し、よって良好なショットキ特性を持つゲート電極を形成している。

## 【0067】

このICP-RIE装置が、Cl系ガス、BCl<sub>3</sub>その他のエッチングガスに使用されていた場合、窒素プラズマ処理中にCl等のエッチングガス種がn型AlGaIn層の表面に再び吸着される現象が起こることがある。

## 【0068】

図7に、BCl<sub>3</sub>ガスで使用したICP-RIE装置を窒素プラズマによるエッチング処理に用いた場合のn型AlGaIn層の表面についてのXPSスペクトル測定結果を示す。横軸は結合エネルギー(eV)及び縦軸はXPS強度(任意の単位)を示している。

## 【0069】

図7中の(A)は、アニール処理直後のXPSスペクトルである。結合エネルギーが199 eV付近のClのピークは消失し、吸着されていたClが除去されたことがわかる。図7中の(B)は、窒素プラズマを用いたエッチング処理を行った後のXPSスペクトルであり、199 eV付近のClのピークが再び現れている。このように、アニールにより除去されたエッチングガス種が、窒素プラズマによるエッチング処理により再び吸着されたことがわかる。また、ICP-RIE装置に付加されているQMS-(四重極質量分析計)スペクトルからも、明瞭なCl関連ピーク強度の増大が確認できるため、装置内にClが存在していることがわかる。

## 【0070】

このことから、Cl系ガス、BCl<sub>3</sub>その他のエッチングガス種で使用したICP-RIE装置を用いると、装置内(例えばチャンバー側壁)に残留していたエッチングガス種が、窒素プラズマによるエッチング処理中にn型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層22の表面に吸着してしまうと考えられる。

## 【0071】

このようなエッチングガス種が吸着されたn型AlGaIn層表面にゲート電極を形成すると、半導体装置の正常な動作が損なわれてしまう。

## 【0072】

窒素プラズマ処理中にn型AlGaIn層表面に吸着されたエッチングガス種(例えばCl)を除去するために、純水による流水洗浄を行うと良い。

## 【0073】

具体的には、第1の実施の形態と同様に、窒素プラズマ処理、すなわち窒素プラズマを用いたエッチング工程、又は窒素プラズマに曝露する工程までを行う。例えば窒素プラズマを用いたエッチング工程を行う場合では、ICP-RIE装置は、 $\text{BCl}_3$ を用いてn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 電子供給層22表面のXPSスペクトルは、199 eV付近のClのピークを示している。

【0074】

次に、このn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 電子供給層22表面を、室温で純水により20分間流水洗浄する。

【0075】

図7中の(C)は、純水による流水洗浄後のn型 $\text{AlGaN}$ 層表面のXPSスペクトルである。窒素プラズマによるエッチング処理で生じていたClのピークはノイズレベルまで低下していることから、Clが除去されたことがわかる。

【0076】

純水による流水洗浄後、窒素ブロー等によって乾燥し、このn型 $\text{AlGaN}$ 層表面に対して、第1の実施の形態と同様の手順でゲート電極38を形成する。

【0077】

このように形成したリセス型HEMTは、第1の実施の形態と同様に、良好なショットキ特性を示す。

【0078】

上述した説明から明らかなように、この実施の形態で製造されたりセス型HEMTは、第1の実施の形態と同様の効果を得ることができる。

【0079】

窒素プラズマ処理に使用する専用のICP-RIE装置が準備できない場合でも、純水による流水洗浄を行うことにより良好な電気特性を有する第1化合物半導体層の表面構造が得られる。

【0080】

以上、この発明は、上述した実施の形態の組み合わせのみに限定されない。

【0081】

例えば、この発明が適用される半導体装置としては、上述したリセス型HEMTのみに限定されるものではなく、化合物半導体装置の製造工程において、ゲート電極形成予定領域の窒素を含んだ化合物半導体層の表面がエッチングによりダメージを受ける工程を含むような構成の半導体装置に適用できる。

【0082】

また、各実施の形態では、サファイア基板を用いたが、炭化ケイ素( $\text{SiC}$ )基板等であっても良い。尚、炭化ケイ素基板を用いる場合には、バッファ層を窒化アルミニウム( $\text{AlN}$ )で形成するのが好適である。

【0083】

また、2DEGが得られるHEMTならば、下地の構造は、上述した実施の形態のみに限定されない。

【0084】

また、各実施の形態における第1化合物半導体層の組成比は、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ のみに限定されず、目的や設計に応じて任意好適な構成比とすることができる。

【産業上の利用可能性】

【0085】

窒素を含んだ化合物半導体層を具えた半導体装置に適用して好適なこの発明の半導体装置の製造方法によれば、ドライエッチングにより生じた第1化合物半導体層の表面に存在する窒素空孔によるダメージを、除去あるいは軽減することができる。

【0086】

また、第1化合物半導体層の表面に存在する窒素空孔によるダメージを除去あるいは軽

減したことにより、良好な電気特性を有する第1化合物半導体層の表面構造が得られる。

【図面の簡単な説明】

【0087】

【図1】(A)～(D)は、この発明による第1の実施の形態の工程についての説明に供する断面図である。

【図2】(A)～(C)は、この発明による第1の実施の形態の工程についての説明に供する断面図である。

【図3】(A)～(C)は、この発明による第1の実施の形態の工程についての説明に供する断面図である。

【図4】この発明による第1の実施の形態におけるアニール前後のn型AlGaIn表面のXPSスペクトルを表すグラフである。

【図5】この発明による第1の実施の形態におけるアニール前後のn型AlGaIn表面のAFM画像である。

【図6】この発明による第1の実施の形態で形成したゲート電極のI-V特性を表すグラフである。

【図7】この発明による第2の実施の形態における流水洗浄前後のn型AlGaIn表面のXPSスペクトルを表すグラフである。

【図8】(A)～(C)は、従来のリセス型HEMTの製造工程についての説明に供する断面図である。

【図9】従来法で形成したリセス型HEMTのゲート電極のI-V特性を表すグラフである。

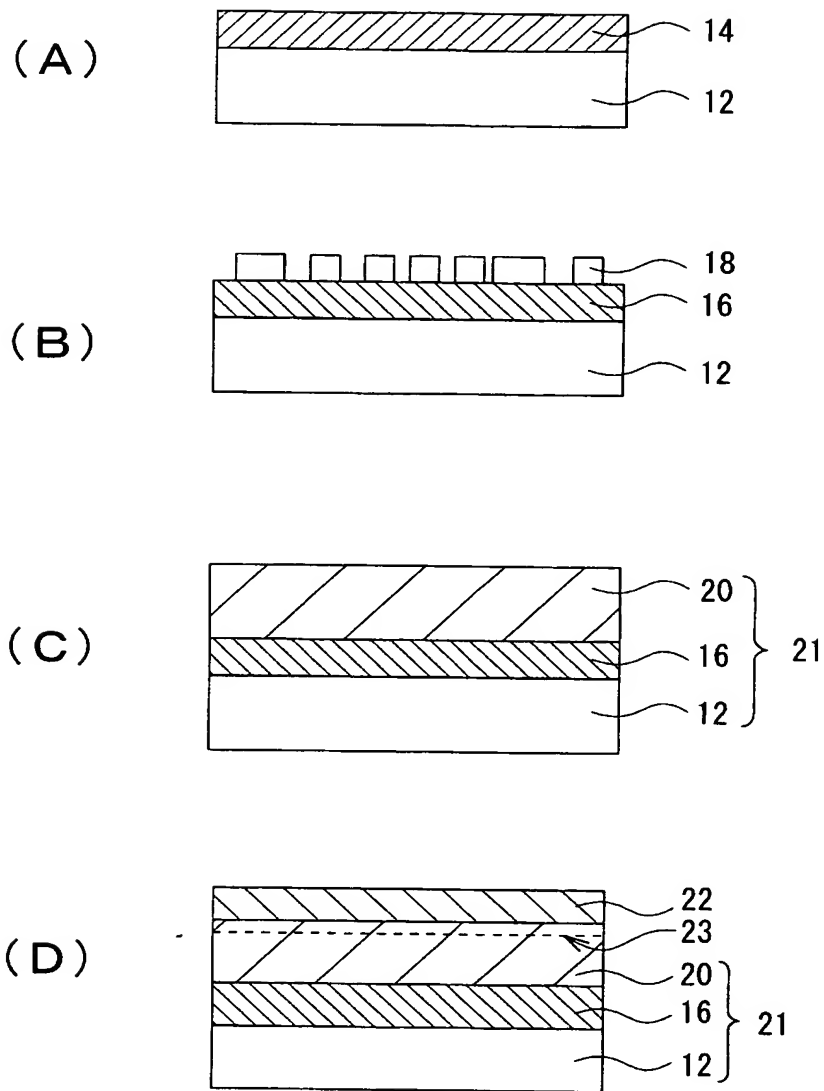
【符号の説明】

【0088】

- 10: この発明によるリセス型HEMT
- 12: サファイア基板
- 14: 非晶質GaN層
- 16: GaNバッファ層
- 18: GaN成長核
- 20: GaNチャネル層
- 21: 下地
- 22: n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層
- 23: 2DEG
- 24: n型GaN層
- 25: 積層型の化合物半導体層
- 26: ソース電極
- 28: ドレイン電極
- 30、34: フォトリソグレイ
- 32: コンタクト層
- 36: ゲート電極形成予定領域
- 38: ゲート電極
- 40: 積層体
- 50: 従来のリセス型HEMT



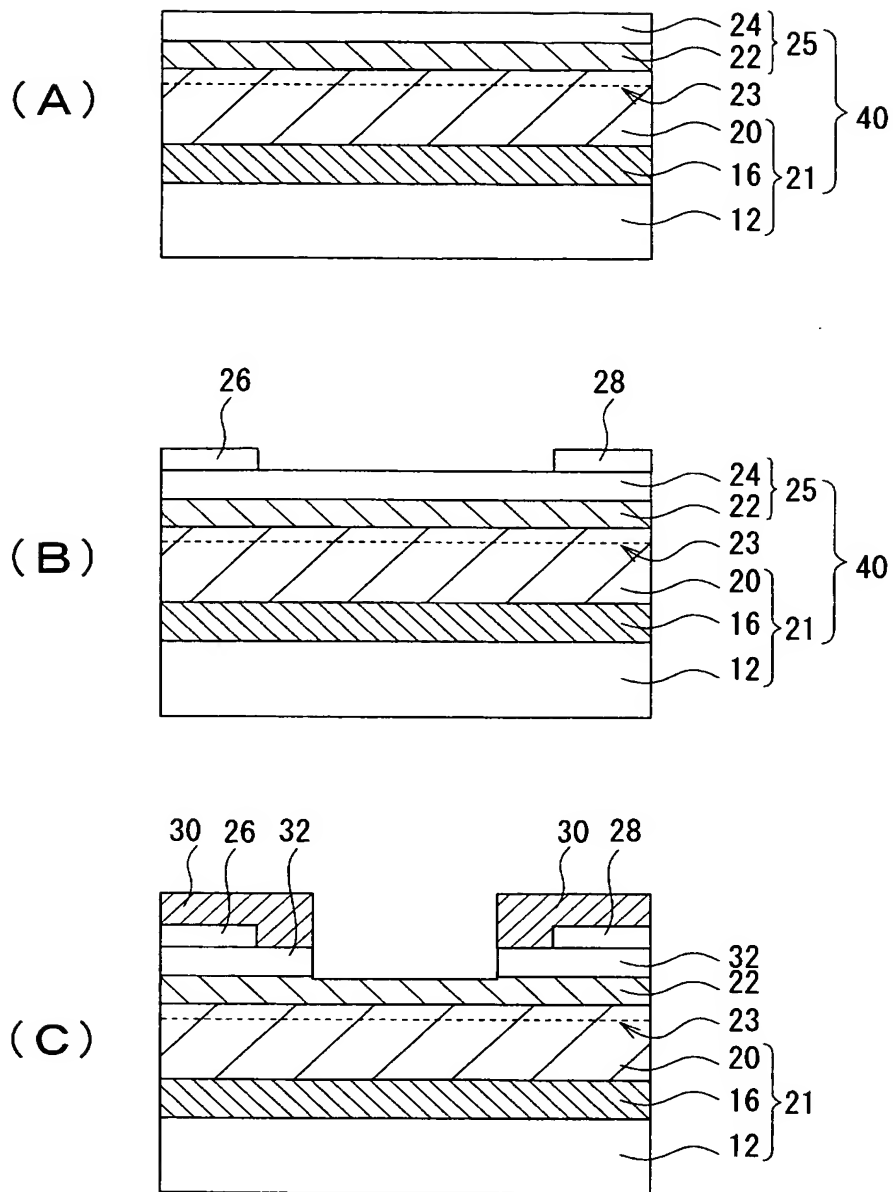
【書類名】図面  
【図1】



12: サファイア基板    14: 非晶質GaN層    16: GaNバッファ層  
 18: GaN成長核    20: GaNチャネル層    21: 下地  
 22: n型Al<sub>0.2</sub>Ga<sub>0.8</sub>N電子供給層    23: 2DEG

この発明による第1の実施の形態の工程図

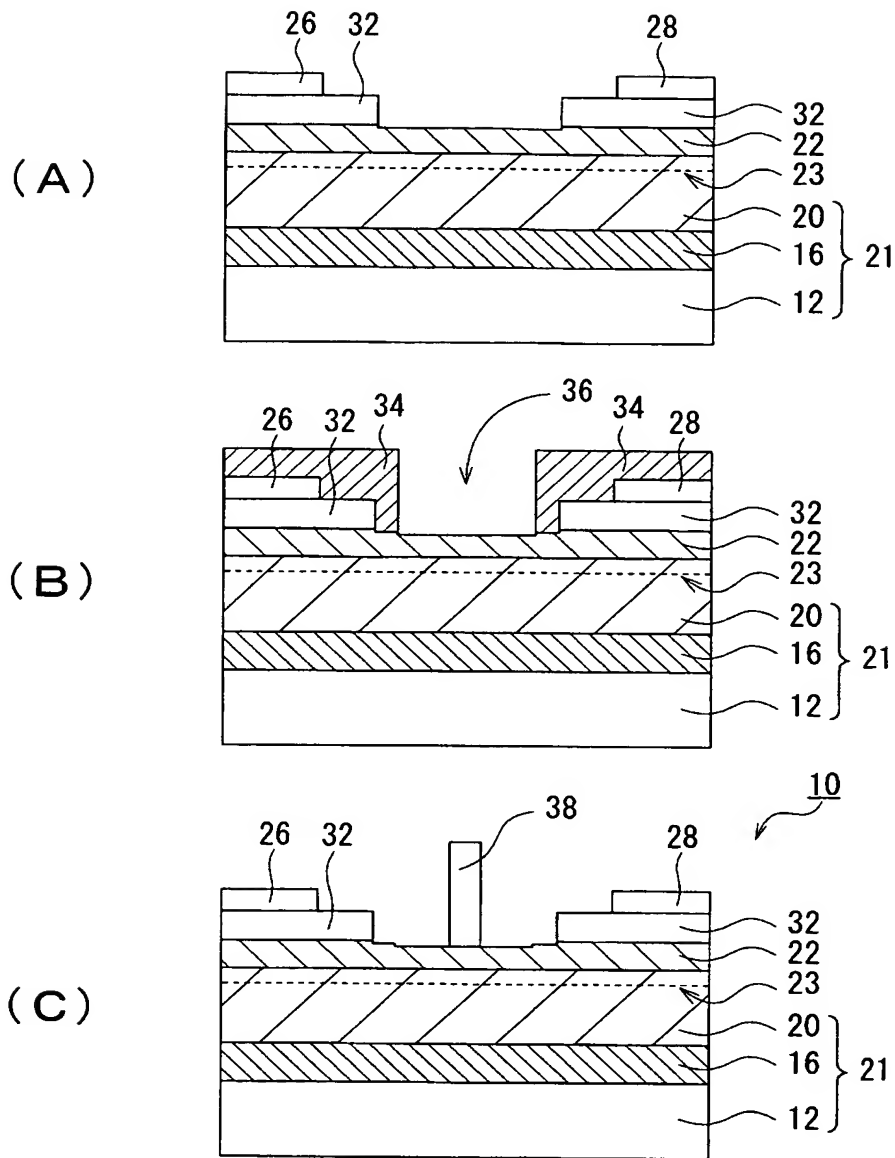
【図 2】



- 24: n型GaN層      25: 積層型の化合物半導体層      26: ソース電極  
 28: ドレイン電極      30: フォトリソグレイ      32: コンタクト層  
 40: 積層体

この発明による第1の実施の形態の工程図

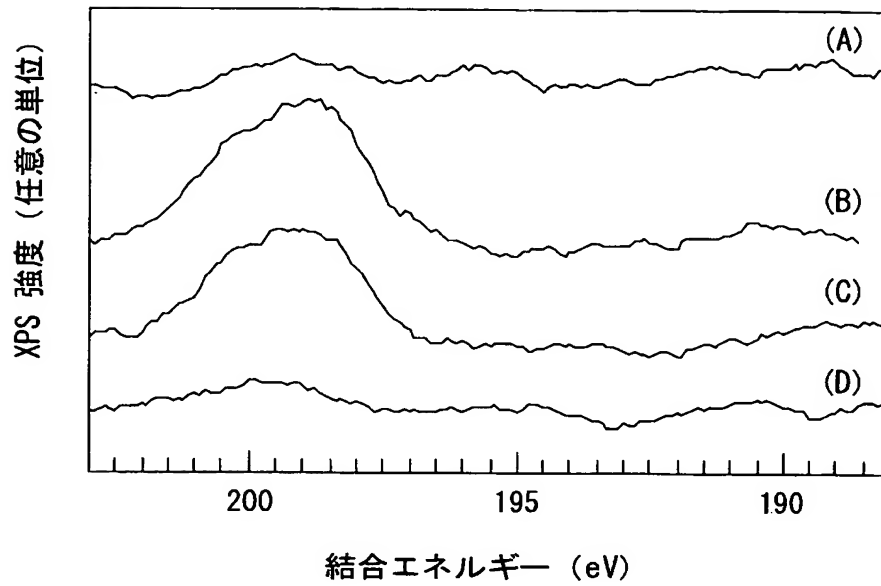
【図 3】



10: この発明によるリセス型HEMT 34: フォトリソグレイ  
36: ゲート電極形成予定領域 38: ゲート電極

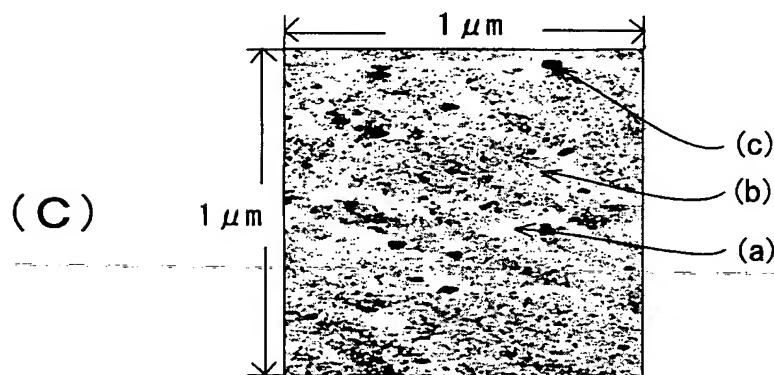
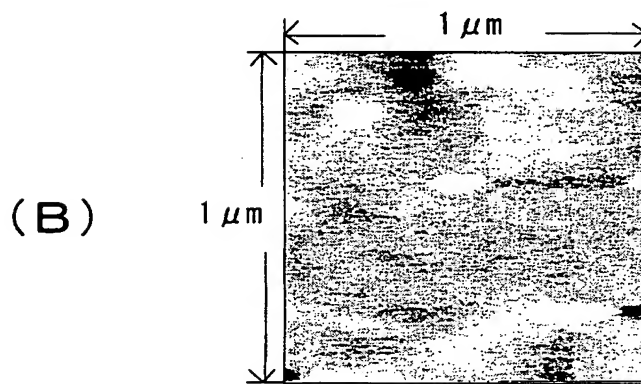
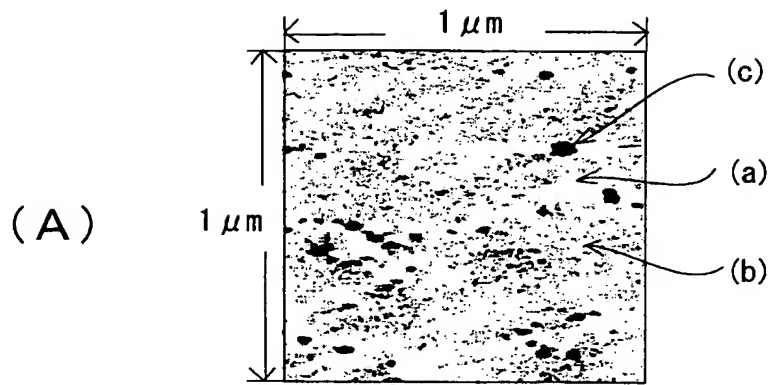
この発明による第1の実施の形態の工程図

【図 4】



アニール前後のn型AlGaIn表面のXPSスペクトル

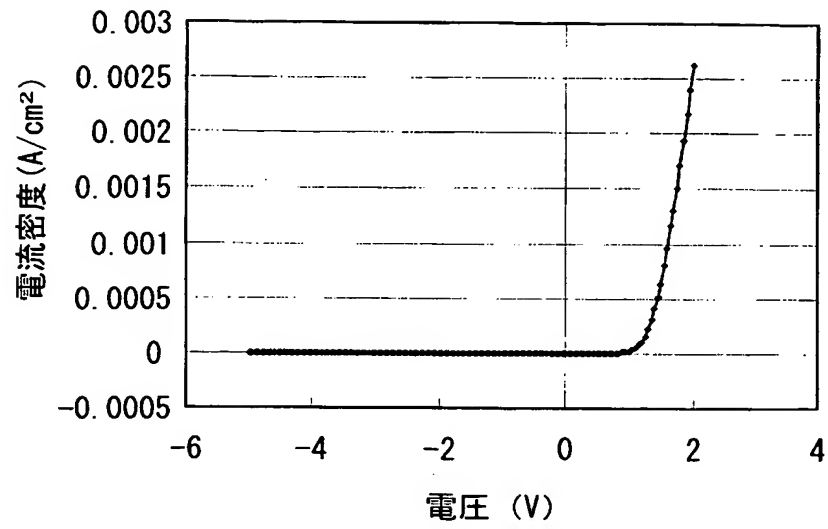
【図5】



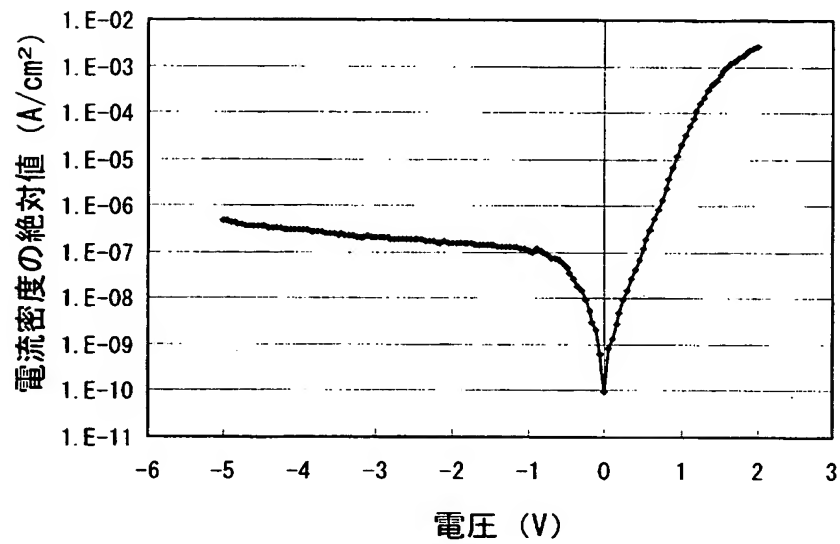
アニール前後のn型AlGaIn層のAFM像

【図 6】

(A)

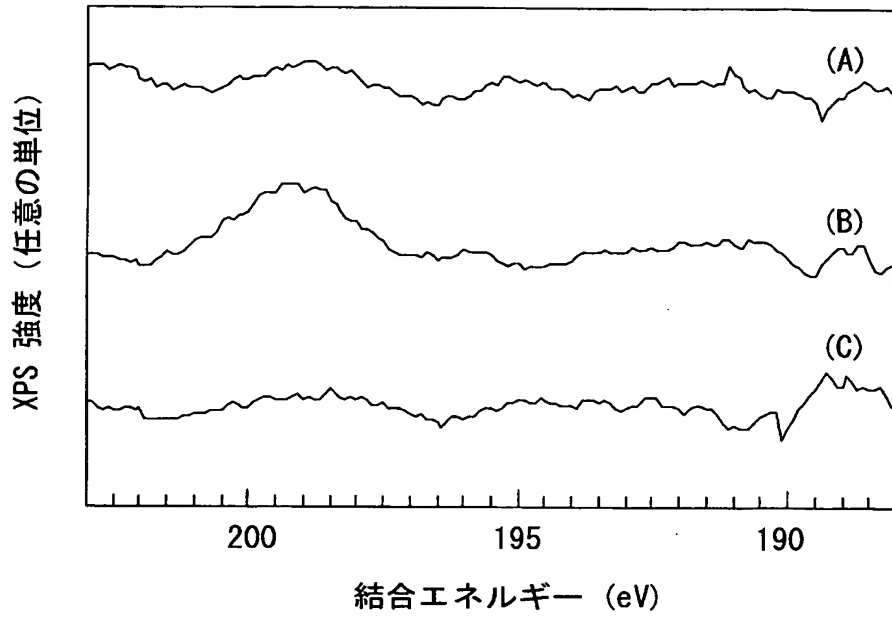


(B)



第 1 の実施の形態で形成したゲート電極のI-V特性

【図 7】

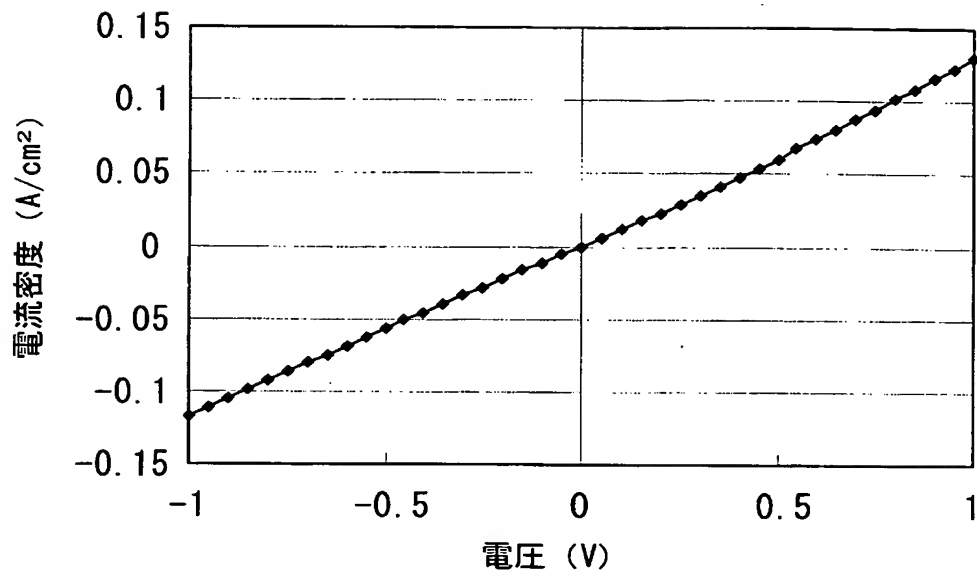


流水洗浄前後のn型AlGaIn表面のXPSスペクトル





【図 9】



従来法で形成したゲート電極のI-V特性

**【書類名】 要約書****【要約】**

**【課題】** 窒素を含む化合物半導体層の表面に生じた、エッチングによるダメージを除去あるいは軽減し、ゲート電極に良好なショットキ特性を有する半導体装置を形成する。

**【解決手段】** ドライエッチングにより、第1化合物半導体層22のゲート電極形成予定領域36の表面を露出するとともに、コンタクト層32を形成する。次いで、この第1化合物半導体層22の露出した表面に対するアニール処理を行う。前述のドライエッチングの際に第1化合物半導体層22の表面に生じたダメージを、窒素プラズマを用いた表面処理を行うことにより、良好な電気特性をもつ第1化合物半導体層22の表面を形成する。この窒素プラズマを用いた表面処理を行った第1化合物半導体層22の表面上にゲート電極38を形成し、良好なショットキ特性を有するゲート電極を具えたりセス型HEMT10を形成する。

**【選択図】** 図3

認定・付加情報

特許出願の番号	特願 2003-378076
受付番号	50301845352
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 15 年 11 月 12 日

< 認定情報・付加情報 >

【提出日】 平成15年11月 7日

特願 2003-378076

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社